第1章

高速インターフェースや小型化に必須

多層基板 活用のススメ

堀野直治

ここでは，プリント基板を初めて設計する方を対象に，多層プリント基板の利点や設計の注意点について説明する．ここで挙げたそれぞれの要素技術をきちんと説明すると，それだけで一つの書籍になる．ここでは細かい説明はさておき，入門者に押さえておいてほしい要素技術がこれだけある（実際はこれ以上，多数あるだろう）ということを伝えたい．　（編集部）

民生機器の代表に挙げられる携帯電話のプリント基板においては，小型，軽量，薄型化を実現するために6～8層板であることが必要不可欠となっています．ここでは，多層基板であることの利点や設計を行う際の注意点などについて説明します．

1．どんなときに多層基板を使うのか

ふだん両面基板で事足りているユーザにとっては，「なぜコストの高い多層基板を使わなければならないのか」という思いがあるでしょう．商品の企画において重要なことは，製品の機能，性能，コスト，サイズ（大きさ，厚さ，重さ）への要求を満たすことです．そして，どこに重点を置いて商品を開発するのかが最も重要になるのです．

● 機能重視の場合

市場に出ている商品と比べて，さらに高い機能を持つ商品を作ろうとした場合， サイズを気にしなければ，現在採用している片面または両面基板のサイズを大きくし，より多くの回路を実装すれば，比較的コストが安くて機能が高い商品を作れます．

● 性能重視の場合

今以上の高性能化を追求する場合には，今以上の高速素子および回路を選択し，基板に対しても配線を短くしたり，配線自体の引き回しおよびノイズを十分考慮した基板設計を行う必要があるでしょう．そうなると，多層基板の採用も視野に入れる必要が出てきます．

ここで注意することは，どの程度高速化するかを確認した上で，基板を選定することです．高速信号と基板選定の目安は後述します．

● コスト重視の場合

使用する基板の仕様（サイズや層数など）は極力変えずに進めるべきですが，要求性能が 極端に変化した場合には，基板仕様の変更が必須となります．要求性能が変化しなかったとしても，2層基板を4層基板とすることで，基板面積を1/2以下にできれば，製品の外形を小さくでき，結果としてコストを抑えられるかもしれません．

● サイズ重視の場合

商品の小型化や軽量化，薄型化を求められた場合，基板についても今以上の「軽・薄・短・小」化を図る必要があります．この場合に小型部品（半導体パッケージや各種部品など）の選定と高密度実装，さらには基板上の高密度配線および多層基板の選定が必要となります．

＊

KeyWord　ワーク・サイズ，ノイズ・マージン，クロストーク・ノイズ，反射ノイズ，ダンピング抵抗，グラウンド・ノイズ，分布定数，集中定数，マイクロストリップ・ライン

以上のことから，多層基板であれば性能，コスト，サイズいずれの要求にも対応できる可能性があることが分かります．

2．小型化が進む電子部品やLSI，その利点を十分に引き出すのが多層基板

小型化，信号の高速化が進む電子機器において，多層基板は欠くことができません．ここでは，電子機器の軽・薄・短・小化をけん引してきた技術要素について考えます．

❶ 大規模集積回路（以降，LSI）

目覚しい高集積化技術の進展により，小型シリコン・チップ内に数十万個という素子を集積できるようになりました．小型，高集積化されたチップを実装するパッケージ（ケース）も小型化され，LSIの小型化に大きく貢献しています．

❷ 小型チップ部品の実現

抵抗，コンデンサ，インダクタを初めとして，多くの電子部品がごま粒以下にまで小さくなり，しかも，リード線を使わずに実装できるようになりました．さらに，コネクタや機構部品類の小型化も並行して進みました．

❸ 基板の高密度・多層配線技術の実現

基板製造技術の向上により信号パターン幅は細く，パターン間隙は狭くできると同時に，層間にまたがる信号を接続するためのビア径やスルー・ホール径の小型化が可能となりました．これにより表面配線の密度が飛躍的に上がり，併せて薄い素材の開発や多層積層技術の進展により多層基板が容易に使用できるようになりました．

これらの技術の集大成により実現している製品の代表例が携帯電話です．数十万の素子を1チップに集積したLSIを使い，基板上で多数使われている抵抗，コンデンサ類についてはチップ・サイズ0603（0.6mm × 0.3mm）または0402（0.4mm × 0.2mm）部品を使用し，これらの部品を8層基板の両面に面実装することで現在の小型・軽量な携帯電話は成り立っています．

基板上の配線密度が上がったり，基板内で高速信号を扱わなければならない場合，配線パターン自体の電気的特性をコントロールする必要が出てきます．このコントロールが容易に行える基板が多層基板なのです．

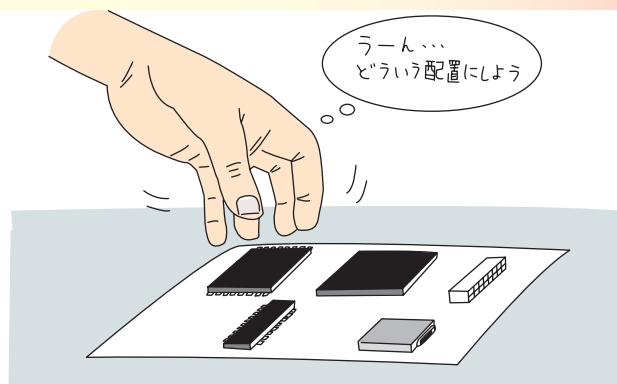



図1　配線パターンを極力短くしようと悩む設計者
あちらを立てればこちらが立たず．

3．配線パターン設計ノウハウ7カ条

これまで，多層基板の必要性について述べました．ここでは，多層基板を初めて扱う人に知っておいてほしい，基本的な配線パターン設計テクニックを解説します．

❶ 信号の流れが最短になるように部品を配置する

低周波信号を扱う場合には配線パターン長の長短をさほど気にすることなく，A端子とB端子を接続するだけで済みました．しかし，高周波信号を扱う場合には，素子の性能を十分に発揮するために，配線パターン長を極力短くする必要があります．そのためには，まず，回路図をじっくり見て，基板上の信号の流れを確認し，その流れが最短となるように部品を配置します（図1）．

❷ 信号の種類を見極め，優先順位を付ける

部品配置でもう一つ大切なことは，信号の種類の見極めです．高速回路を安定して動かそうとした場合，この信号の種類に対する優先順位付けが重要となります．最優先するのは基準となるクロック信号です．次にすべての素子に命令を配信するための制御信号，その次がアドレス信号やデータ信号となります（一般論だが）．

❸ クロック信号線は特に短く，そのため部品配置を再検討することもある

機器によって❶と❷の優先順位が変わる場合もありますが，基本的な考え方は同じだと思います．それでは，この信号の優先順位と部品配置の関係について考えます．前述

したように部品配置を考える際には，信号の流れを考慮して部品を配置します．次に，この配置上でクロック配線がどのような経路となるのかを確認し，より短い距離でクロック信号が走るように部品配置を調節します．

その後はこのクロック信号にかかわる部品位置を固定し，信号の優先順位に従って次々に部品配置を行います．一般的には，回路を設計する人と基板を設計する人は異なりますが，実は回路設計者が望む動作を正確に実行するためには，配線パターン設計者からの提案（フィードバック）が重要な意味を持ちます（図2）．

❹ 信号の流れを良くするためにIC，LSIの端子割り当てを再検討することもある

ICやLSIの中には，同じ動作をする複数個の素子が存在する場合があります．実際には，そのどれを使っても構わないのですが，回路設計者としては一応，機能を考えて，仮に端子指定を行って回路図を作成しています．

配線パターン設計者は，部品配置案を作成した時点で信号の流れをチェックし，基板上での配線の流れが交錯したり複雑になっていないかを確認します．もしこのような部分があり，かつ入出力端子の入れ替えが可能と判断した場合には，回路設計者に端子の入れ替えを提案すべきです．変更の可否を判断するには，配線パターン設計者がICやLSIの内部構成を確認する必要があります．

図2　回路設計者と配線設計者が密に連絡をとることでよりよい基板ができる
提案や質問は積極的に．信頼関係も生まれる．

❺ コンデンサは配線パターン設計者が仕切るべき

回路図上にはコンデンサの種類と数は書かれていますが，それらをどこに配置するかまでは書かれていないことがあります．ノイズの発生場所は部品配置が決まった時点で決まると言っても過言ではありません．ですから，配線パターン設計者はこの時点で最適なコンデンサの数量，種類，容量を見極めて，回路設計者に提案（フィードバック）する必要があります．つまり，配線パターン設計者もコンデンサの特性やノイズ発生のメカニズムを把握しておく必要があるのです．

例えば回路設計者としては，デカップリング用コンデンサの数にこだわりはなく，必要なところに入れてほしいと考えている場合があります．このようなとき，配線パターン設計者は，コンデンサを「増やしたい」あるいは「減らしたい」と回路設計者に相談します．

❻ コスト効率の良いワーク・サイズで設計する

ほぼ部品配置案がまとまった時点で，基板価格決定の一要因であるワーク・サイズと製品サイズの関係をチェックしましょう．多層基板は価格が高いため，多面取り時にワーク・サイズからいかに多くの製品を面付けできるかを考えて，最終基板サイズを決定します．このワーク・サイズは基板メーカによって異なるので，事前に基板メーカにサイズを確認しておく必要があります．海外の工場で製作する場合でも，できるだけ確認しておきます．ワーク・サイズと製品サイズの関係の一例を図3に示します．

ワーク・サイズ　　　　：340×510，405×510，510×610(mm)
製品に利用できるサイズ：310×480，375×480，480×580(mm)

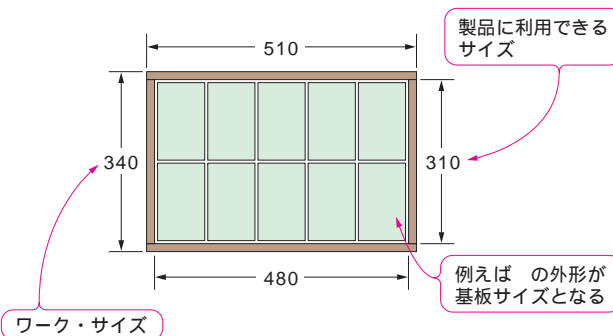



図3　ワーク・サイズと製品サイズの関係の例
多く面取りできるよう基板サイズを決める．

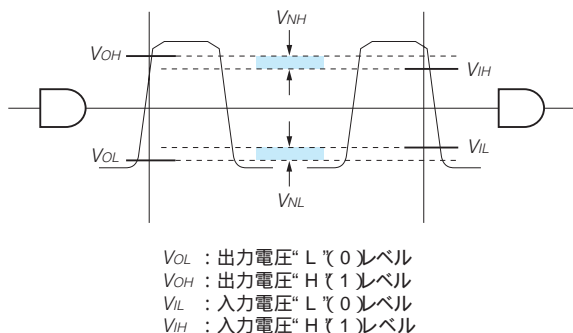



図4　素子間接続におけるノイズ・マージン
ノイズ・マージンを把握してから設計に入ること．

❼ ディジタル系信号のノイズ・マージンを把握してから設計に入る

電子機器の基板内に流れるディジタル信号は，電圧レベル'0'("L")と'1'("H")で情報の伝達を行っています．しかし，実際のLSI(ICも含む)間における信号の受け渡しの電圧レベルは，図4に示すように入力信号についてはV_{IL}とV_{IH}の電圧値，出力信号についてはV_{OL}とV_{OH}の電圧値を基準として論理レベル'0'と'1'を判定しています．

LSIの出力端子から出力される電圧値は，次の要素でばらつきます．

- 基板内における実装場所の違いによって生じるLSIに供給される電源電圧のばらつき
- LSIの動作環境(温度や湿度など)によるばらつき
- LSIを製造する際のばらつき(製造ロット内，ロット間)

これらすべてのばらつきを考慮して決めた電圧レベルが，素子の入出力電圧レベルとして(V_{IL}とV_{IH}，V_{OL}とV_{OH}として)仕様書で規定されています．この値を使って素子間信号伝達の際のノイズ・マージンを決めています．

電圧レベル'0'側のノイズ・マージン：$V_{NL}=V_{IL}-V_{OL}$
電圧レベル'1'側のノイズ・マージン：$V_{NH}=V_{OH}-V_{IH}$

ノイズ・マージンとは，素子が持っているノイズ許容値であり，基板内で発生する各種ノイズを合算した値がV_{NL}またはV_{NH}として求めた電圧以内に収まれば誤動作は起こりません．つまり，基板内では各種のノイズが発生するのですが，これをゼロにすることは不可能です．従って，たとえノイズが発生しても，ノイズ・マージンを考慮した上でパターン設計を行えば，回路の安定動作も容易に実現できます．

(a) 横軸5(ns)レンジで見た場合

(b) 横軸1(ns)レンジで立ち上がり部を見た場合

(c) 信号受け取り側が認識する波形

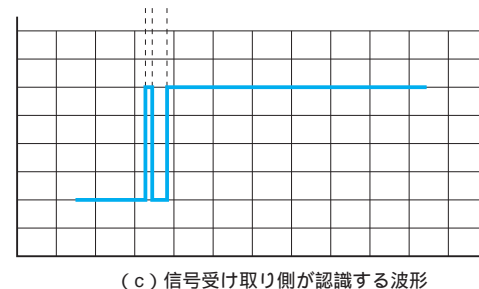
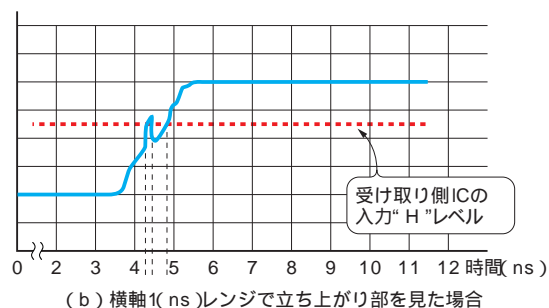
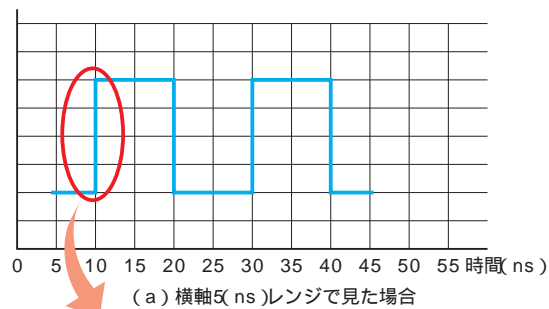



図5　50MHzのクロックをよく見てみると
信号の立ち上がり/立ち下がりに重畳するノイズに注目しないと真の信号波形を見逃してしまう．

4．基板上で発生する各種ノイズ

ここでは，基板設計を行う際に考慮すべき各種ノイズについて説明します．

基板上の信号を見る場合，多くの技術者はタイミングを重視し，信号波形を論理'0'，'1'で判断します[図5(a)]．つまり，測定器の時間軸(周波数)レンジを上げて見ようとするのです．しかし，高周波信号を扱う場合，信号の立ち上がり/立ち下がりに重畳するノイズに注目しないと真の信号波形を見逃してしまうことになります．従って，まずは信号全体のタイミングを確認した後に，必ず信号の立ち上がり/立ち下がり波形部分に誤動作の原因となるノイズが重畳していないかを確認します．

図5(b)は立ち上がり部に乗ったノイズを示し，図5(c)はそのノイズをレシーバ素子が信号として誤認識した時の

波形を示します．

このようなノイズの発生要因として，特に注意しなければならないノイズには次の三つがあります．

1 クロストーク・ノイズ（漏えい雑音とも言う）

● クロストーク・ノイズとは

クロストーク・ノイズとは，隣接して平行に走る2本のパターンにおいて，片方のパターン上を流れる信号が反転した時に，もう一方のパターン上に流れる信号にノイズが乗る現象のことです．クロストークは，隣接して平行に走るパターンの長さ，隣り合わせたパターン間ギャップ，反転する信号の電圧（電流），特性インピーダンス（インピーダンスが高いほど大きくなる）などに依存します．クロストーク・ノイズの発生メカニズムとノイズ波形を図6に示します．

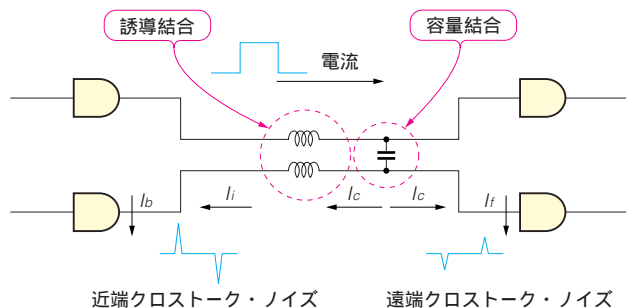



図6 クロストーク発生のメカニズム
隣接して平行に走るパターンの長さ，隣り合わせたパターン間ギャップ，反転する信号の電圧，特性インピーダンスなどに依存する．

クロストーク・ノイズは，誘導性クロストーク・ノイズと容量性クロストーク・ノイズの2種が混ざり合って発生します．また，クロストーク・ノイズの発生場所によって近端クロストーク（バックワード・クロストーク）と遠端クロストーク（フォワード・クロストーク）と呼び方が変わります．その発生量を式で表すと，

近端クロストーク：$I_b = I_c + I_i$
遠端クロストーク：$I_f = I_c - I_i$

となり，一般的には近端クロストーク・ノイズの方が遠端クロストーク・ノイズよりも大きくなります．ただし，実際のパターンでは，駆動信号そのものの立ち上がり，立ち下がり時間の違いや平行線長の長さによって異なることもあります．

● クロストーク・ノイズを低減する

クロストーク・ノイズを低減するには，パターン設計時に何を注意するべきでしょうか．クロストーク・ノイズ発生の主要因が隣接した平行線によることから，まずはこの条件が成り立たないように，同じタイプの信号が隣接して長い距離で平行配線とならないよう配慮します．多層板の場合，近接した層間で信号を平行して走らせる場合でもクロストーク・ノイズが発生することを忘れてはなりません．

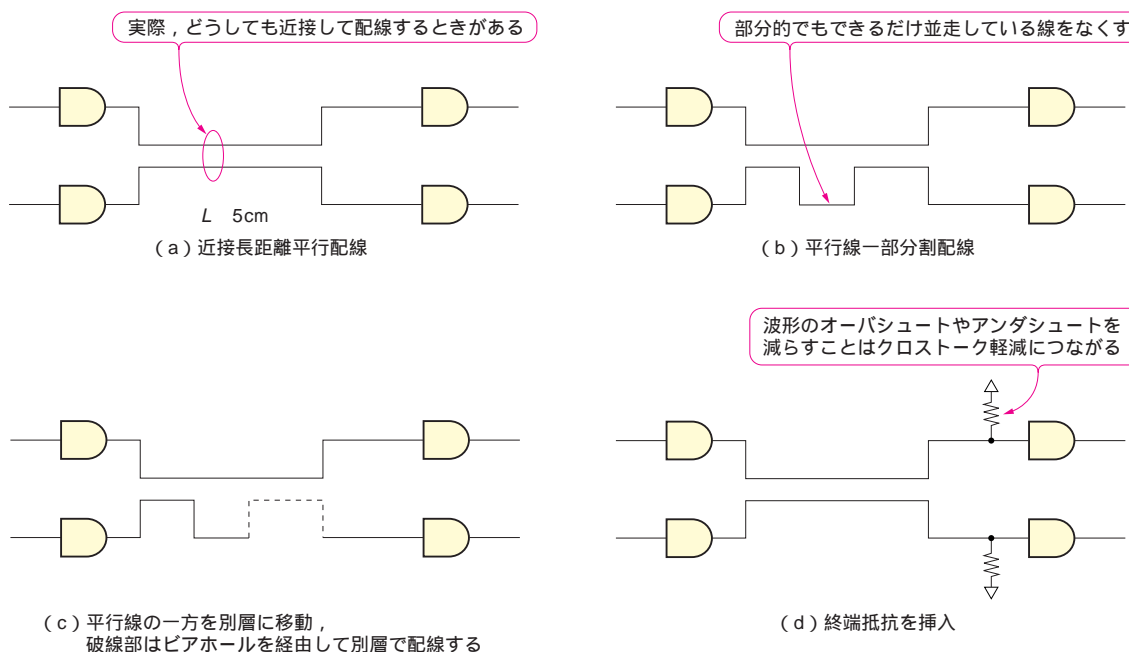



図7 クロストークを軽減する配線
(a)に対して(b)や(c)，(d)の対策を施す．

実際の基板設計では，すべての信号に対してクロストーク・ノイズを考慮した設計を行う必要はありません．特に高速信号やクロック信号に対して，このノイズが発生しないための条件を満たすような配線設計を行います．

しかし，高密度配線を要求される基板設計においては，必然的にパターン幅は細く，パターン間ギャップは狭くならざるを得ません．図7(a)に近接した長距離平行配線例を示します．このような配線に対するクロストーク・ノイズ低減法としては，図7(b)，(c)，(d)に示すような対策を施す必要があります．

2 反射ノイズ（波形ひずみとも言う）

反射ノイズは高速信号を扱う基板では避けて通れないノイズです．回路図上では表現できず，パターン設計後に分かる実際の配線長や分岐状態で初めて反射ノイズが発生しそうな配線個所が分かるため，パターン設計者の腕の見せどころとも言えます．

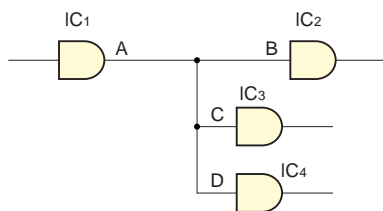
反射ノイズの発生メカニズムは，配線パターンの特性インピーダンスとLSIの入出力インピーダンスのミスマッチによって発生します．これ以外にも，パターンの分岐部分や分岐長，さらにはパターンの途中に設定するスルー・ホールやビア・ホール部においても発生します．なお，信号の立ち上がり，立ち下がり時間に比べて配線長が短ければ，反射ノイズを気にする必要はありません．

● 反射ノイズが少ないパターン

それでは，反射ノイズを低減するためのパターン形状や終端抵抗，ダンピング抵抗について説明します．図8(a)に示す例題回路を元に基板設計を考えた場合，一般的に考えるとA～Dの個々の点を接続すれば，正常な動作が可能と思いがちですが，この信号の周波数が高い場合にはそうはいきません．配線パターンの引き回し方によって反射ノイズが発生するからです．

では，反射ノイズを考慮した引き回しはどうすればよいのでしょうか．その答えは図8(b)に示すような引き回しとなります．この配線法を一筆書き配線と言い，ドライバ素子から見た場合，最も反射ノイズが少ない配線方法となります．ただし，一筆書き配線の場合でも配線長が長くなる場合には最遠端部にZ_0と同じ値の終端抵抗を接続する必要があります．

ほかの配線方法としては，図8(c)に示すT分岐配線法があります．この場合，L_1を主幹配線と言い，L_2，L_3を支線配線と言います．L_1～L_3のいずれの配線についても，配線による遅延を少なくするためには配線長を極力短くする必要があり，反射ノイズの発生から考えると，L_1は多少長くなったとしてもL_2，L_3の配線長を極力短く抑えて配線することの方が重要です．ただし，前述したようにL_1～L_3の配線長を極力短くするためには，部品配置，端子指定に

1

(a) 分岐を含む回路例

(b) 一筆書き配線

(c) T分岐配線

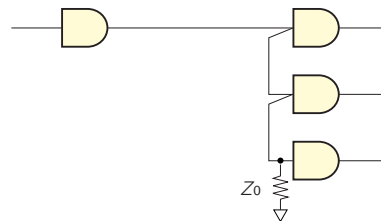
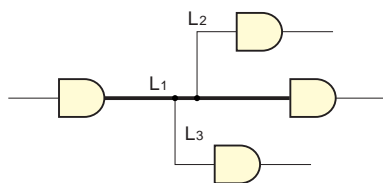
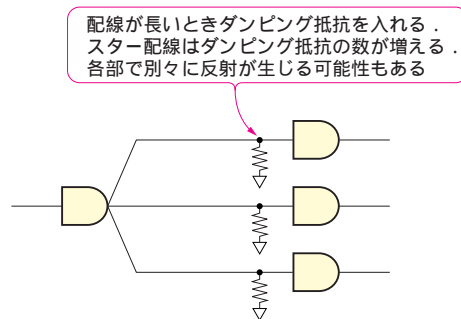
配線が長いときダンピング抵抗を入れる．
スター配線はダンピング抵抗の数が増える．
各部で別々に反射が生じる可能性もある

(d) スター配線

図8
反射ノイズを低減する配線方法
パターン上にダンピング抵抗や終端抵抗を接続しない場合であまり長くない配線では，一筆書き終端法が最も素直な配線であり，ドライバ素子から見た反射も単純になる．従って，反射ノイズも小さくなる．

まで気を配った上でパターン設計を行うことを忘れてはいけません．

3 電源/グラウンド・ノイズ（スイッチング・ノイズとも言う）

基板に電源が供給されると，基板内のあちらこちらで，さまざまなタイミングで信号が‘0’や‘1’となります．分かりやすく言えば，道路工事の際に，地面（基板）のいたるところでドリルによる異なった振動が発生し，地面はさまざまな振動を起こしています．この振動が「電源/グラウンド・ノイズ」なのです．つまり，個々のドリルから出る振動がパターン上を走る信号であり，これによって発生する地面の振動が電源/グラウンド・ノイズとなるのです．このことから分かるように，信号の振幅が大きく（電圧/電流量とも），同一タイミングで反転する信号の数が多いほどこのノイズは大きくなります．

前述したように多層基板の場合には，電源/グラウンド層を面で設けることが可能となり，より安定した動作環境を構築できると言えますが，部分的に見ると信号の反転速度に追従できず，電源/グラウンド・ノイズは発生すると考えなければなりません．

それでは，この電源/グラウンド・ノイズが特に多く発生する信号は何でしょうか．まずは多くの信号が同時反転するメモリ素子を実装している周辺であり，次にアドレス信号やデータ信号を多く扱う制御素子の周辺が考えられます．もちろん，高速信号を扱う端子周りもノイズが増えると考えられます．

● グラウンド・ノイズの低減方法

この電源/グラウンド・ノイズを低減する方法について説明します．回路図上では電源供給ライン上に数個のコンデンサが記載されています．このコンデンサが電源/グラウンド・ノイズを低減するためのデカップリング・コンデンサと呼ばれる物です．

回路図上ではこのコンデンサをどこに実装すればよいか，幾つ実装すればよいかまでは記述されていないことがあります．つまり，基板設計を進めて行く中で初めてデカップリング・コンデンサの実装位置や数量，種類が決まるのです．

図9にメモリ素子周辺へのデカップリング・コンデンサの実装例を示します．メモリ素子の周辺では同時に多くの信号が‘0’から‘1’に，また，‘1’から‘0’に変化するので，電源の安定度には特に気を遣います．基本的には1素子に1個または複数個のデカップリング・コンデンサを配置します．

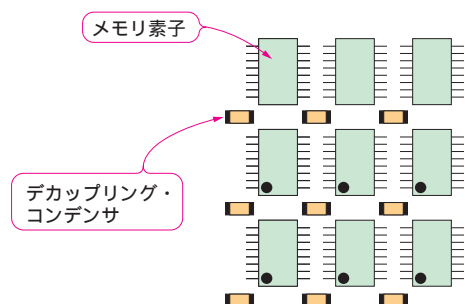



図9　メモリ周辺へのデカップリング・コンデンサ実装方法

使用するコンデンサには周波数特性があり，この特性を知った上で容量および種類を決めないと最適な性能を期待できません．図10にセラミック・コンデンサとタンタル・コンデンサの周波数特性例を示します．おおざっぱに言えば，セラミック・コンデンサは特定周波数において低インピーダンス特性を持ち，タンタル・コンデンサは幅広い周波数に対してほぼ一定のインピーダンス特性を持つと言えます．従って，メモリ素子やCPU周辺に実装するデカップリング・コンデンサとしてはセラミック・コンデンサを使用し，基板の入出力部にはタンタル・コンデンサを使用するのが望ましいでしょう．

5．分布定数と集中定数

基板上を走る配線パターンは，電気的に見ると抵抗だけではなく，インダクタンスとキャパシタンスを持っています．配線パターンを流れる信号の周波数が低い（30MHz以

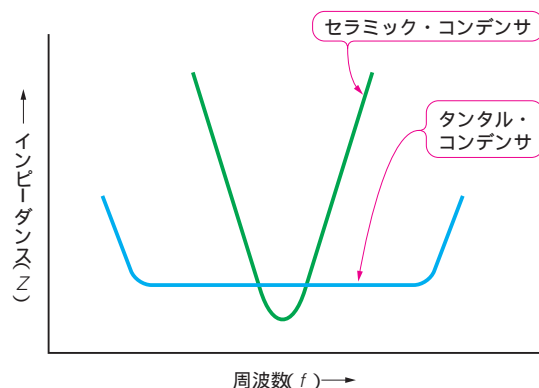



図10　コンデンサの周波数特性

セラミック・コンデンサは特定周波数において低インピーダンス特性を持ち，タンタル・コンデンサは幅広い周波数に対してほぼ一定のインピーダンス特性を持つ．

下）場合には抵抗値として扱うことができますが，周波数が高くなった場合には，抵抗以外のインダクタンスやキャパシタンスも考慮します．考慮しないと正しい信号が送れず，最悪の場合には装置が誤動作を起こす原因となります．

基板上で使用する素子に依存する信号の立ち上がり時間と立ち下がり時間，それと配線パターンの長さによって，配線パターンを電気的にどう扱えばよいのかを判断します．なお，基板上の配線パターンの伝搬遅延時間（τ）は，およそ5ns/mと覚えておけばよいでしょう．この値を元に，図11に示す条件を見て，配線パターンを集中定数として扱うか，分布定数として扱うかを判断する必要があります．

配線パターンが短く，素子間の信号の往復時間（$2\tau l$）が，使用する素子の立ち上がり時間または立ち下がり時間よりも短い場合には，そのパターンは集中定数として扱えます．

配線パターンが長く，信号の往復する時間が素子の立ち上がり/立ち下がり時間よりも長い場合には，パターンを分布定数として扱います．

● 集中定数と分布定数を分けるめやす

では，集中定数とは何でしょうか．ひと言で表せばパターン自体を抵抗を持った線として扱ってもよいということです．一方の分布定数とは，パターンを抵抗，コンデンサ，インダクタに分解した線路として扱う必要があるということになります．信号の立ち上がり t_r と立ち下がり t_f，周波数帯域 f の関係は以下の式で求められます．

$f = 0.35/t_r$ または $0.35/t_f$

（t_r，t_f はいずれか小さい値を用いる）

つまり，使用する素子の立ち上がりまたは立ち下がり時間が分かれば，基板上でどの程度の周波数帯域の信号を流せるのかが分かります．それによって集中定数として扱うパターンの長さ限界が分かるのです．表1に，一般的に使用されている素子の立ち上がり/立ち下がり時間と，その周波数帯域および集中定数として扱えるパターン長の目安を示します．

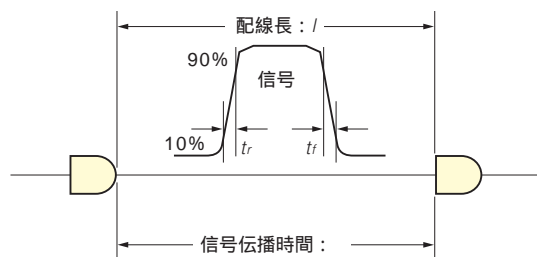



図11　集中定数と分布定数の関係

配線パターンが短く，素子間の信号の往復時間（$2\tau l$）が，使用する素子の立ち上がり時間または立ち下がり時間よりも短い場合には，そのパターンは集中定数として扱える．

● 多層基板はストリップ・ラインやマイクロストリップ・ラインを容易に実現する

基板上の配線パターンは電気的に見るとグラウンド（またはアース）を基準として成り立っています．従って，安定した信号配線は必ず近傍にグラウンド線（面であればなお良い）を持ちます．多層基板では，信号線の上の層または下の層にグラウンドを設けやすいため，多層基板における配線パターンの電気特性が良くなります．言い換えると，多層基板では近接した層にグラウンド層または電源層を設けることが可能であり，配線パターンはマイクロストリップ・ラインまたはストリップ・ラインと呼ばれるパターン構造を容易に実現できるのです．

マイクロストリップ・ラインとストリップ・ラインの構造を図12，図13に示します．このような構造とした場合，配線パターンの電気特性は特性インピーダンス（Z_0）で表すことができます．各構造における Z_0 は，式(1)，式(2)に示す近似式で求められます．

$$Z_0 = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \ln\left(\frac{5.98h}{0.8W + t}\right) \quad \cdots\cdots (1)$$

$$Z_0 = \frac{60}{\sqrt{\varepsilon_r}} \ln\left(\frac{4b}{0.67\pi W\left(0.8 + \frac{t}{W}\right)}\right) \quad \cdots\cdots (2)$$

式の中でただ一つ基板材料に起因する項目として，層間

表1　素子の立ち上がり/立ち下がり時間と，その周波数帯域および集中定数として扱えるパターン長の目安

素子シリーズ名	信号立ち上がり/立ち下がり時間（ns）	周波数帯域（MHz）	集中定数として扱える配線長の限界（cm）
74シリーズ	10	35	90
74LSシリーズ	9.5	37	85
74Hシリーズ	4	87.5	36
74Sシリーズ	3	11.7	27
ECL10K	1.5	233	13
ECL100K	0.75	467	6

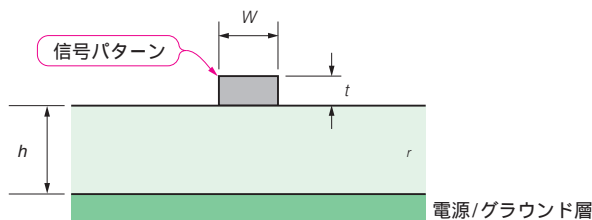



図12　マイクロストリップ・ライン
一般的な配線パターンは，ほとんどがこの構造である．

図13　ストリップ・ライン
ストリップ・ラインの特別なケースが，電源とグラウンドによるサンドイッチ構造である．

に使っている絶縁層の誘電率ε_rがありますが，ガラス・エポキシ材を使用する場合には$\varepsilon_r = 4.7$，ポリイミド材では$\varepsilon_r = 3.8$の値を使用すればよいでしょう．詳細については材料メーカの仕様を参照してください．

では，その値を何Ωにすればよいかとなりますが，目安としては50Ωまたは75Ωに設定できるよう基板仕様を決めるのが理想です．Z_0値を決める鍵は，信号パターン幅と層間距離であり，層間の距離を一定とした場合，配線密度を高くすればするほど信号パターン幅は細くなり，Z_0はより高くなります．従って高密度配線を行いつつ，Z_0を最適値に合わせる必要がある高速信号については，信号パターンを電源/グラウンド面で挟むストリップ・ライン構造を採用することで，希望するZ_0に設定することが可能となるのです．配線層の直下に電源/グラウンド層が面で設けられるとは言っても，実際の面パターンは**図14**に示すようにビア・ホールやスルー・ホールを空けるためのクリアランスが設けられています（スイス・チーズ・パターンと言う）．このクリアランス上を信号パターンが通過している部分のZ_0は高い値となることから，インピーダンス・マッチングを必要とする信号線を通す場合には，必ず銅はく上を走らせるようにします．

図14
電源層とグラウンド層のクリアランスと配線パターンの関係
内層の見えない銅はくのクリアランスに注意しないと特性インピーダンスを正確につかめない．

電源/グラウンド層が面パターンで設けられるということは，Z_0がコントロール可能という以外にもメリットがあります．基板上で発生する電源/グラウンド・ノイズの低減や信号反転時に発生するスイッチング・ノイズの低減にも役立つのです．

6．ぜひ知っておいてほしい多層基板の歴史

最後に，これまで述べた部品や技術がいつごろから世に出て現在に至っているのかについて振り返ってみましょう．

● LSIの高集積・高速化の歩み

高集積LSIの代表であり，多くの人が知っているマイクロプロセッサを例に高集積の進展状況を見ると，**図15**のようになります．LSIの高集積化が進むということは，LSIを構成するトランジスタの小型化と，トランジスタ間を接続する配線の微細化が図られるということです．これにより接続配線長が短くなり，結果として高集積かつ高速動作のLSIが実現できています．

図から分かるようにLSIの高集積化は，わずか30年で30万倍という驚異的な進歩を遂げたことになります．高集積化技術の進展に伴い，ICやLSIチップを封止するパッケージ（ケース）の小型化・面実装化も進みました．

1980年中ごろまで，ICやLSIは基板上に2.54mmピッチで空けられたスルー・ホールに端子を挿入して実装していました．その後，面実装技術の幕開けとともに面実装パッケージに変わり，端子ピッチも2.54mmから1.27mmに狭まり，さらにはチップ・サイズとパッケージ・サイズがほぼ同等の小型パッケージも実用可能となりました（**図16**）．

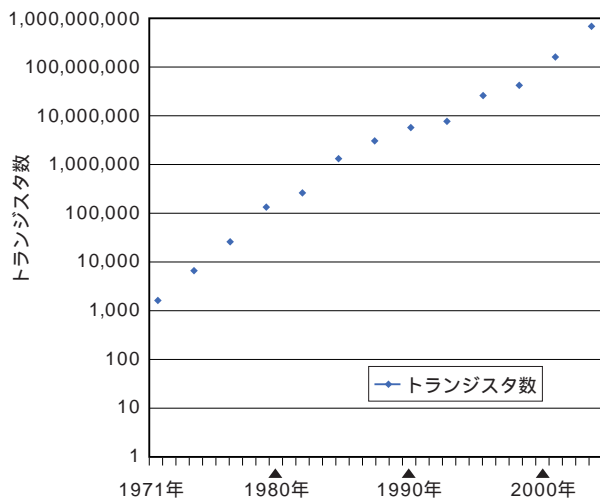



図15　マイクロプロセッサの高集積化の歴史

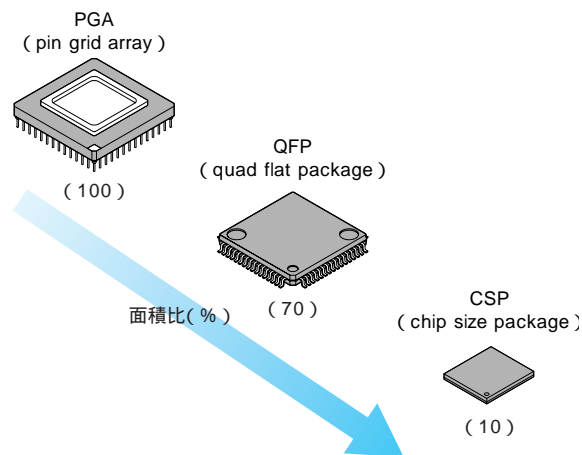



図16　LSIパッケージ小型化の流れ

● チップ部品の小型化の歩み

1970年前半ごろまで，抵抗とコンデンサは部品の両端にリード端子が付けられ，これを基板のスルー・ホールに差し込み，はんだ付けをして回路を形成していました．1970年後半にはチップ部品が出現し，基板上で抵抗やコンデンサ部品が占める面積を飛躍的に小さくできるようになりました．

● 基板の高密度・多層化の歩み

1960年代中ごろまでの基板は，基本的には片面板（単層）の製造がほとんどでした．

つまり，スルー・ホールめっき技術がなく，基板の表と裏の配線を接続する個所には穴を開けて，その穴に「はとめ（鳩目）」と呼ばれる筒状の金属棒を差し込み，表面からたたいてつぶし，その部分にはんだ付けをしてスルー・ホールを形成し，両面板として使っていました．

1960年後半になるとスルー・ホールめっき技術が実用化され，今で言う両面板の製造が可能となりました．スルー・ホールめっき技術の確立と穴径の小形化が進むと同時に，薄い基板材料の出現により4，6，8層基板の実用化も急速に進展しました．

＊　　＊

現在，多くの人たちが当たり前のように利用している携帯電話，ディジタル・オーディオ・プレーヤ，携帯ゲーム機器は，半導体の高集積化，部品の小型化，基板の多層化技術，各種新材料技術，さらには基板設計技術などすべてを集約した高密度実装技術の進展により実現されているのです．このことを忘れずに，これからもユーザのニーズを満足させる製品の創出に努力を続けてください．

参考・引用*文献

(1) William R Blood, Jr ; MECL System Design Handbook, Motorola Semiconductor Products Inc, 1980.

ほりの・なおはる
エーピーエヌ（株）　技術顧問

<筆者プロフィール>
堀野直治．沖電気工業にて電子交換機・コンピュータの開発に30数年従事．なぜか実装技術の奥深さにはまって現在に至る．今は，微力ながら実装技術者の地位向上，ものづくりの楽しさ，大切さを広めるために日夜格闘中です．